

INTERMITTENT TRANSMISSION AND RECEPTION SYSTEM

Publication number: JP1245728

Publication date: 1989-09-29

Inventor: TSUYAMA HIROAKI

Applicant: FUJITSU LTD

Classification:

- international: H04J3/00; H04B7/24; H04B7/26; H04J3/00; H04B7/24; H04B7/26; (IPC1-7): H04B7/24; H04J3/00

- european:

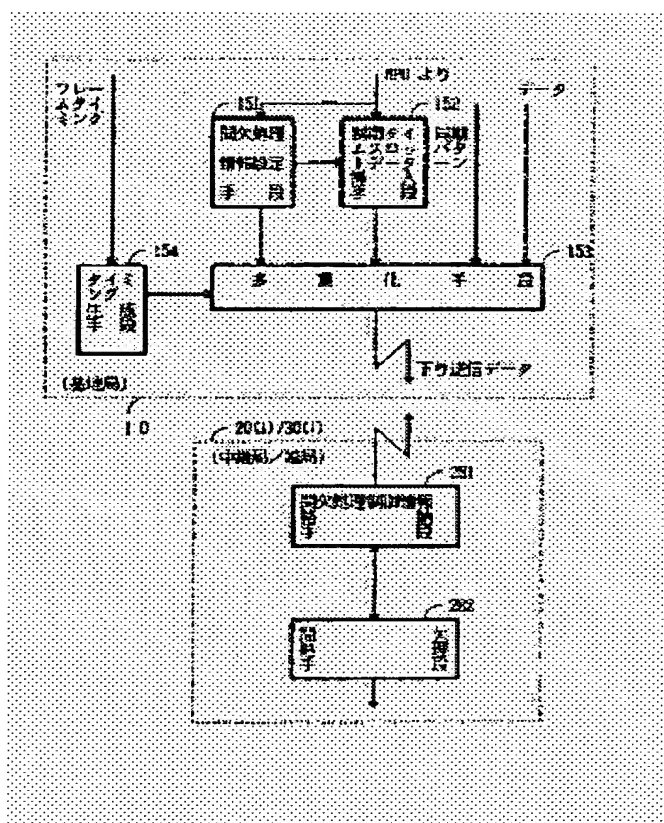
Application number: JP19880074160 19880328

Priority number(s): JP19880074160 19880328

Report a data error here

Abstract of JP1245728

PURPOSE: To simplify the circuit constitution of each relay station and a terminal station by allowing a base station to generate and manage the information for intermittent control centralizingly and allowing each relay station and a terminal station to transit to the intermittent processing mode at a point of time of receiving a pattern bit for the intermittent control in a time division multiplex communication system. **CONSTITUTION:** An intermittent control pattern based on start/release for intermittent control, turn-on/turn-off ratio and repetitive period is set to an intermittent processing information setting means 151 in a base station 10, the pattern is multiplexed with other time slot data in a timing from a timing generating means 154, the result is sent as an intermittent control pattern bit and the transmission of all data including a frame pattern is stopped from the base station 10. The intermittent control pattern bit is set to an intermittent processing control information storage means 281 in a relay station 2(i) or a terminal station 3(i) to bring an intermittent processing means 282 into the intermittent processing to stop part of power supply and clock start in the inside.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

BEST AVAILABLE COPY

Japanese Patent Application Laid-Open No.H01-245728

As described above, the conventional intermittent control multiplexed and transmitted the conditions regarding start/release for intermittent control, on/off ratio and repetition interval of intermittent to relay station 2(i) or terminal station 3(i) from base station 1. Each relay station 2(i) or terminal station 3(i) then generated a mode instruction signal for carrying out intermittent processing inside at B.SAVE/INF26 based on these conditions.

尚、第5図は基地局1内DTX14の構成概要を示し、MPU11がプログラムに基づきセットする間欠制御に関する条件(間欠起動/解除、オン/オフ比率及び繰り返し周期等)を制御タイムスロットTS0に挿入するTS0制御データ回路141と、

プリアンブルパルス(b)を発生するプリアンブル発生回路142と、

フレーム同期信号(c)を発生する同期パターン発生回路143と、

複数のデータや信号を多重化する多重化装置(以下MUXと称する)144と、

MUX144から出力される多重化データをスクランブルするスクランブル回路145と、

スクランブルした多重化データにパリティビットを付加して下り送信データとして送出するパリティ付加回路146とを具備している。

第7図に示す基地局1-中継局2(i)-端局3(i)間は、例えばマイクロ波でデータを送受信する無線区間であり、この無線区間を送受信するデータは第9図(A)、(B)に示すフレームフォー

マットにて送り取りされる。

即ち、基地局1内DTX13が下りデータフレームを送信する時は、第9図(B)、(C)に示すようにタイムスロットTS0の先頭位置に16ビットのプリアンブル(a)と、これに引き続き16ビットのフレーム同期信号(SYNC)(c)と、間欠制御データ(d)及び発着呼制御データ(e)を乗せて送信する。

尚、第9図(A)、(B)に示す"G"はガードビットTS0~TS18はタイムスロット番号を示す。

又、間欠制御データ(d)は基地局1内MPU11から指定される間欠制御のための条件をTS0制御データ回路141でタイムスロットTS0に挿入したものとなる。

タイムスロットTS0に挿入されたこの間欠制御条件は、他のタイムスロットTSiデータやプリアンブル回路142から発生するプリアンブルパルス(b)、同期パターン送出回路143から出力されるフレーム同期信号(c)と共にMUX144にて多重化され、送出される。

- 1 1 -

- 1 2 -

中継局2(i)又は端局3(i)では、これをDRX22で受信処理し、受信処理した中から間欠制御のための起動/解除指示信号を起動/解除パターン検出回路261で検出し、間欠処理のためのオン/オフ比率及び繰り返し周期に関するデータをオン/オフ比・繰り返し周期ラッチ回路262にラッチする。

次に、起動/解除パターン検出回路261で検出した指示信号で間欠制御信号生成回路263を動作させ、制御信号生成回路264からのタイミングで間欠制御のためのモード指示の信号を生成し、送出する。

この間欠制御のためのモード指示信号により加入者の発着呼を停止するためのクロック供給の停止及びデータ中継機能以外の電源供給の停止しを、設定されている間欠のオン/オフ比・繰り返し周期を持って制御する。

(発明が解決しようとする課題)

上述のように、従来の間欠制御は基地局1から中継局2(i)又は端局3(i)に対して間欠制御のため

の起動/解除、間欠のオン/オフ比率及び繰り返し周期に関する条件を多重化して送信し、各中継局2(i)又は端局3(i)はこれらの条件を基にして、B.SAVE/INF26にて内部の間欠処理するためのモード指示信号を生成していた。

従って、従来は各中継局2(i)又は端局3(i)のB.SAVE/INF26の構成が大形化する傾向にあった。

本発明は、システム全体の回路構成を小型化した間欠送受信方式を実現することを目的とする。

(課題を解決するための手段)

第1図は本発明の原理を説明するブロック図を示す。

第1図に示す本発明の原理ブロック図中の10は使用中のタイムスロットがなく、しかも発着呼処理シーケンス中でない条件の時、データ伝送起動を間欠的に行うための情報を数ビットの間欠制御パターンで設定する間欠処理情報設定手段151と、間欠処理情報設定手段151から出力される間欠制御パターンビットを制御タイムスロットに挿

- 1 3 -

- 1 4 -

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-245728

(43)Date of publication of application : 29.09.1989

(51)Int.Cl.

H04J 3/00

H04B 7/24

(21)Application number : 63-074160

(71)Applicant : FUJITSU LTD

(22)Date of filing : 28.03.1988

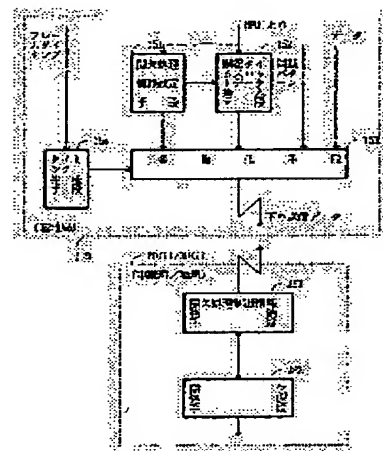
(72)Inventor : TSUYAMA HIROAKI

(54) INTERMITTENT TRANSMISSION AND RECEPTION SYSTEM

(57)Abstract:

PURPOSE: To simplify the circuit constitution of each relay station and a terminal station by allowing a base station to generate and manage the information for intermittent control centralizingly and allowing each relay station and a terminal station to transit to the intermittent processing mode at a point of time of receiving a pattern bit for the intermittent control in a time division multiplex communication system.

CONSTITUTION: An intermittent control pattern based on start/release for intermittent control, turn-on/turn-off ratio and repetitive period is set to an intermittent processing information setting means 151 in a base station 10, the pattern is multiplexed with other time slot data in a timing from a timing generating means 154, the result is sent as an intermittent control pattern bit and the transmission of all data including a frame pattern is stopped from the base station 10. The intermittent control pattern bit is set to an intermittent processing control information storage means 281 in a relay station 2(i) or a terminal station 3(i) to bring an intermittent processing means 282 into the intermittent processing to stop part of power supply and clock start in the inside.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平1-245728

⑤ Int. Cl. 4

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)9月29日

H 04 J 3/00
H 04 B 7/24K-6914-5K
6913-5K

審査請求 未請求 請求項の数 1 (全10頁)

⑭ 発明の名称 間欠送受信方式

⑯ 特 願 昭63-74160

⑰ 出 願 昭63(1988)3月28日

⑱ 発 明 者 津 山 裕 章 宮城県仙台市一番町2丁目2番13号 富士通東北デジタル・テクノロジー株式会社内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

間欠送受信方式

2. 特許請求の範囲

基地局(10)と多段に接続される複数の中継局(20(i))と端局(30(i))からなる時分割多重通信システムにおいて、

前記中継局(20(i))及び端局(30(i))の起動を間欠制御するための情報を数ビットの間欠制御パターンで設定する間欠処理情報設定手段(151)と、前記間欠処理情報設定手段(151)から出力される間欠制御パターンビットを制御タイムスロットに挿入する制御タイムスロットデータ挿入手段(152)と、前記間欠制御パターンビットをデータと多重化手段(153)にて多重化して送信するためのタイミング信号を生成するタイミング生成手段(154)とを前記基地局(10)に設けると共に、

前記基地局(10)から送信される該間欠制御パターンビットを格納する間欠処理制御情報格納手

段(281)と、前記間欠処理制御情報格納手段(281)に格納された該間欠制御パターンビットに基づき内部の間欠処理モードに移行させ、内部の一部の電源及びクロックの起動をオン/オフする間欠処理手段(282)とを前記中継局(20(i))及び端局(30(i))に設け、

前記基地局(10)で間欠制御の起動/解除指示、間欠のオン/オフ比率及び繰り返し周期を基にパターン化した間欠制御パターンビットを、前記中継局(20(i))及び端局(30(i))内間欠処理手段(282)にセットすることで前記中継局(20(i))及び端局(30(i))の間欠処理を前記基地局(10)で集中制御することを特徴とする間欠送受信方式。

3. 発明の詳細な説明

(概要)

時分割多重通信システムにて間欠処理モードに移行する場合の装置の起動/解除、間欠のオン/オフ比率及び繰り返し周期からなる条件を基地局で集中処理する間欠送受信方式に関し、

システム全体の回路構成を小型化した間欠送受信方式を実現することを目的とし、

中継局及び端局の起動を間欠制御するための情報を数ビットの間欠制御パターンで設定する間欠処理情報設定手段と、間欠処理情報設定手段から出力される間欠制御パターンビットを制御タイムスロットに挿入する制御タイムスロットデータ挿入手段と、間欠制御パターンビットをデータと多重化手段にて多重化して送信するためのタイミング信号を生成するタイミング生成手段とを基地局に設けると共に、基地局から送信される間欠制御パターンビットを格納する間欠処理制御情報格納手段と、間欠処理制御情報格納手段に格納された間欠制御パターンビットに基づき内部の間欠処理モードに移行させ、内部の一部の電源及びクロックの起動をオン／オフする間欠処理手段とを中継局及び端局に設け構成する。

〔産業上の利用分野〕

本発明は、時分割多重通信システムにて間欠処

理モードに移行する場合の装置の起動／解除、間欠のオン／オフ比率及び繰り返し周期からなる条件を基地局で集中処理する間欠送受信方式に関する。

例えば、遠隔地でしかも少加入者のための電話回線を設置する場合、ケーブルを敷設する費用と時間を節約するために、加入者を収容する端局及び加入者を収容すると共に複数端局を無線で収容する中継局を多段に設置し、これらのセンタとなる基地局へデータを無線中継する。

又、この基地局ではこの多段中継局を管理下に置いており、これらから受信したデータを変換して有線にて電話局に接続するというデジタルデータ無線通信システムが実用化されている。

即ち、基地局はその制御下に複数の中継局及び端局を有し、この局間のデータ伝送は同一の周波数で時分割多元接続するシステム（以下TDMAシステムと称する）にて実施している。

このTDMAシステムにてデータを多段に中継する場合、所定のタイムスロットにデータを挿入して

- 3 -

データの中継処理を行っている。

しかし、例えば夜間や僻地のように伝送するデータが常に存在するとは限らない場合は、データが発生した時に間欠的にシステムを起動する間欠送受信モードに移行して、消費電力を節減する処理方式が実施されている。

かかる間欠送受信方式を実行するに当たり、間欠送受信モード処理機能ブロックをより簡易にしてシステム全体の装置を小型化することが必要となる。

〔従来の技術〕

第5図は基地局の従来例を説明するブロック図、第6図は間欠処理を行うブロックの従来例を説明するブロック図、第7図は多段中継システムの構成概要を説明する図、第8図は基地局／中継局の構成概要を説明する図、第9図は無線区間のデータのフレームフォーマットを説明する図をそれぞれ示す。

第7図はTDMA方式のデジタル無線通信システ

- 4 -

ムの構成を示し、その構成は、

TDMA方式のデジタル無線通信システムのセンタとして、各端局3(i)及び中継局2(i), 2(j)（通常、12の中継局からなる）から集中させた音声PCMハイウエイ(a)に乗せるべく速度及びフォーマットを変換すると共に、PCMハイウエイ(a)に乗せて伝送されて来た音声各端局3(i)及び中継局2(i), 2(j)に送出する基地局1と、

それぞれ複数の端局3(i)と複数の電話加入者等の端末を収容し、しかも最大12段階の中継をなす中継局2(i), 2(j)と、

デジタル無線通信システムの最終階梯に位置し、複数の電話加入者等の端末を収容する複数の端局3(i)と、

基地局1からPCMハイウエイ(a)を介して送り取りする音声2線(2W)の回線に乗せるべく変換し、交換機5へ収容する集線局4と、

複数の電話加入者を収容する交換機5とから構成されている。

第8図は上述の基地局1及び中継局2(i)の構成

- 5 -

- 6 -

の一部を示し、

図中の基地局1は、局内の処理動作を所定プログラムに基づき制御するプロセッサ（以下MPUと称する）11と、

集線局4に接続される端末（図示してない）の操作にてMPU11に基づき実施する処理ジョブルーチンを指定することが出来る制御回路（以下CONTと称する）12と、

TDMA方式にてデータの送受信を行う送受信機（以下TRXと称する）13と、

下り回線に送信する複数の送信データのそれぞれにプリアンブル（第9図（C）(b)に示すようにデータフレームの先頭に挿入し、同期を目的とする情報の列）やタイムスロットのフレーム同期信号(c)を挿入して多重化する送信制御部（以下DTXと称する）14と、

タイムスロットTSに乗せて上り回線から転送されて来た受信データを抽出して再生する受信制御部（以下URXと称する）15と、

データの伝送速度を2Mbpsと704Kbps間を相

互に変換する速度変換回路19aとを具備し、

図中の中継局2(i)は上位局とのデータの送受信のやり取りを行うTRX21と、

下り回線のデータの受信を制御する下り回線受信制御部（以下DRXと称する）22と、

上り回線のデータの送信を制御する上り回線送信制御部（以下UTXと称する）23と、

上位局からの指示により自局内のタイムスロット送出タイミングのずれの調整を行う遅延調整制御部（以下DLCONTと称する）24と、

局内の処理動作を制御する制御部（以下CONTと称する）25と、

制御タイムスロットの内容により間欠処理条件及びタイミングを設定し実行すると共に、制御タイムスロットを下り回線へ送出するためのインタフェースを取る間欠処理／インタフェース部（以下B.SAVE/INFと称する）26と、

電話加入端末やデータ端末等とインタフェースを取り制御するインタフェース部（以下INTFと称する）27とを具備している。

- 7 -

尚、第7図に示す端局3(i)は下り回線とのインタフェース等の処理を除き略中継局2(i)と同様な機能を有する。

下り受信データ中の制御タイムスロット(TS0に相当する)には、第9図(C)に示すようにこれ以降に続いて現れるデータの同期用クロック等を作成するための同期系パルスであるプリアンブルパルス(b)、データフレーム毎に同期をチェックするフレーム同期信号(c)、間欠処理を指示するための間欠制御データ(d)及び発着呼制御データ(e)が挿入される。

尚、第9図(A)、(B)は1フレーム5632ビットの無線区間のデータフレームフォーマットを示し、第9図(A)が下位局から上位局へ伝送する上りデータ、第9図(B)が上位局から下位局へ伝送する下りデータを示す。

又、間欠制御データ(d)としては、間欠処理を指示する信号と、間欠処理を行うためのオン／オフ比率及び間欠処理の繰り返し周期等からなるものとする。

- 9 -

- 8 -

次に、第8図に示すB.SAVE/INF26の機能ブロックは第6図に示すように、下りデータ中の制御タイムスロット(TS0)に挿入されている間欠制御データ(d)から間欠処理のための起動／解除指示信号を検出する起動／解除パターン検出回路261と、

同じく下りデータ中の制御タイムスロット(TS0)の間欠制御データ(d)から間欠処理のためのオン／オフ比率及び間欠処理の繰り返し周期を設定するための指示データをラッチするオン／オフ比・繰り返し周期ラッチ回路262と、

起動／解除パターン検出回路261で検出した起動及び解除指示信号やオン／オフ比・繰り返し周期ラッチ回路262にラッチしているオン／オフ比等により間欠制御のための信号を生成する間欠制御信号生成回路263と、

各間欠処理用機能ブロックを動作させるために必要な各種タイミング信号をDRX22から得られる基準信号をもとに生成する制御信号生成回路264とを具備している。

- 10 -

尚、第5図は基地局1内DTX14の構成概要を示し、MPU11がプログラムに基づきセットする間欠制御に関する条件（間欠起動／解除、オン／オフ比率及び繰り返し周期等）を制御タイムスロットTS0に挿入するTSO制御データ回路141と、

プリアンブルパルス(b)を発生するプリアンブル発生回路142と、

フレーム同期信号(c)を発生する同期パターン発生回路143と、

複数のデータや信号を多重化する多重化装置（以下MUXと称する）144と、

MUX144から出力される多重化データをスクランブルするスクランブル回路145と、

スクランブルした多重化データにパリティビットを付加して下り送信データとして送出するパリティ付加回路146とを具備している。

第7図に示す基地局1-中継局2(i)-端局3(i)間は、例えばマイクロ波でデータを送受信する無線区間であり、この無線区間を送受信するデータは第9図(A)、(B)に示すフレームフォー

マットにて送り取りされる。

即ち、基地局1内DTX13が下りデータフレームを送信する時は、第9図(B)、(C)に示すようにタイムスロットTS0の先頭位置に16ビットのプリアンブル(b)と、これに引き続き16ビットのフレーム同期信号(SYNC)(c)と、間欠制御データ(d)及び発着呼制御データ(e)を乗せて送信する。

尚、第9図(A)、(B)に示す"G"はガードビットTS0~TS18はタイムスロット番号を示す。

又、間欠制御データ(d)は基地局1内MPU11から指定される間欠制御のための条件をTSO制御データ回路141でタイムスロットTS0に挿入したものとなる。

タイムスロットTS0に挿入されたこの間欠制御条件は、他のタイムスロットTSiデータやプリアンブル回路142から発生するプリアンブルパルス(b)、同期パターン送出回路143から出力されるフレーム同期信号(c)と共にMUX144にて多重化され、送出される。

- 1 1 -

中継局2(i)又は端局3(i)では、これをDRX22で受信処理し、受信処理した中から間欠制御のための起動／解除指示信号を起動／解除パターン検出回路261で検出し、間欠処理のためのオン／オフ比率及び繰り返し周期に関するデータをオン／オフ比・繰り返し周期ラッチ回路262にラッチする。

次に、起動／解除パターン検出回路261で検出した指示信号で間欠制御信号生成回路263を動作させ、制御信号生成回路264からのタイミングで間欠制御のためのモード指示の信号を生成し、送出する。

この間欠制御のためのモード指示信号により加入者の発着呼を停止するためのクロック供給の停止及びデータ中継機能以外の電源供給の停止しを、設定されている間欠のオン／オフ比・繰り返し周期を持って制御する。

（発明が解決しようとする課題）

上述のように、従来の間欠制御は基地局1から中継局2(i)又は端局3(i)に対して間欠制御のため

- 1 2 -

の起動／解除、間欠のオン／オフ比率及び繰り返し周期に関する条件を多重化して送信し、各中継局2(i)又は端局3(i)はこれらの条件を基にして、B.SAVE/INF26にて内部の間欠処理するためのモード指示信号を生成していた。

従って、従来は各中継局2(i)又は端局3(i)のB.SAVE/INF26の構成が大形化する傾向にあった。

本発明は、システム全体の回路構成を小型化した間欠送受信方式を実現することを目的とする。

（課題を解決するための手段）

第1図は本発明の原理を説明するブロック図を示す。

第1図に示す本発明の原理ブロック図中の10は使用中のタイムスロットがなく、しかも発着呼処理シーケンス中でない条件の時、データ伝送起動を間欠的に行うための情報を数ビットの間欠制御パターンで設定する間欠処理情報設定手段151と、間欠処理情報設定手段151から出力される間欠制御パターンビットを制御タイムスロットに挿

- 1 3 -

- 1 4 -

入する制御タイムスロットデータ挿入手段152 と、制御タイムスロットデータを他のデータ及びパルスと多重化する多重化手段153 と、間欠制御パターンビットを送信するタイミング信号を生成するタイミング生成手段154 とを具備する基地局であり、

20(i)/30(i) は基地局10から送信される間欠制御パターンビットを格納する間欠処理制御情報格納手段281 と、間欠処理制御情報格納手段281 に格納された間欠制御パターンビットをセットすることにより間欠処理を行う間欠処理手段282 とを具備する中継局及び端局であり、かかる手段を設け間欠処理を制御することにより本課題を解決するための手段とする。

〔作用〕

基地局10内の間欠処理情報設定手段151 に間欠制御のための起動／解除、オン／オフ比率及び繰り返し周期を基にした間欠制御パターンを設定し、タイミング生成手段154 からのタイミングで他の

タイムスロットデータと多重化して間欠制御パターンビットとして送出すると共に、基地局10からはフレームパターンを含め全てのデータ送出を停止する。

中継局2(i)又は端局3(i)では、この間欠制御パターンビットを間欠処理制御情報格納手段281 にセットし、間欠処理手段282 を間欠処理に移行させ内部の一部の電源及びクロックの起動を停止する。

即ち、間欠の比率、繰り返し周期の内容に基づき間欠処理オンの時は中継局2(i)又は端局3(i)内所定機能ブロック以外のクロック及び電源をオフにしてデータ伝送処理動作を停止し、オフの時は基地局10から伝送が開始されたフレームパターンの受信を以て復帰し、通常の運用状態に戻るようにより中継局2(i)又は端局3(i)での間欠制御に関する回路構成を簡易化することが可能となる。

〔実施例〕

- 1 5 -

以下本発明の要旨を第2図～第4図に示す実施例により具体的に説明する。

第2図は本発明の実施例を説明するブロック図、第3図は本発明における中継局／端局の実施例を説明するブロック図、第4図は本発明における基地局の構成概要を説明するブロック図をそれぞれ示す。尚、全図を通じて同一符号は同一対象物を示す。

第2図及び第3図に示す実施例は本発明の間欠処理を集中制御する基地局10a 内のDTX140 と、中継局／端局の実施例を説明するブロックである。

本実施例の基地局10a は第7図で説明したのと同様な機能と、PCM ハイウェイ(h)に乗せて伝送されて来た音声を各端局3(i)及び中継局2(i), 2(j)に送出するためのタイムスロットがなく、しかも発着呼処理シーケンス中でない場合は、各端局3(i)及び中継局2(i), 2(j)の起動をオフにし、発着呼が発生した場合にはその起動をオンにするための間欠制御を集中して行う機能を有する。

又、第2図及び第3図に示す本実施例は、第1

- 1 6 -

図で説明した間欠処理情報設定手段151 として、間欠制御の起動及び解除並びにこのオン／オフ比率を第4図に示すサブMPU19cの指示で設定すると共にこれらを数ビットでパターン化してセットする間欠起動／解除比率設定回路151a、

制御タイムスロットデータ挿入手段152 として、第4図に示すサブMPU19cからの起動で間欠起動／解除比率設定回路151aの内容をタイムスロットTS0 に挿入するTSO制御データ回路152a、

多重化手段153 として、第5図で説明したのと同様に間欠起動／解除比率設定回路151aにセットしている間欠制御パターンビットを他のデータと多重化するMUX144、

タイミング生成手段154 として、第4図に示す704Kタイミング生成回路19d から出力されるタイミングから多重化データ送出タイミングに再生して出力するタイミング生成回路154aから構成した例である。

又、間欠処理制御情報格納手段281 として、DTX140 から送信されるタイムスロット情報を保

- 1 7 -

- 1 8 -

持し、間欠制御パターンビットが挿入されている T S O を分離し間欠処理回路 282a に送出する制御タイムスロット分離/送出回路 281a、

間欠処理手段 282 として、制御タイムスロット分離/送出回路 281a で分離された T S O に挿入されている間欠制御パターンビットがセットされると間欠処理を実行する間欠処理モードに移行する間欠処理回路 282a とから構成した例である。

尚、基地局 10a と集線局 4 間の P C M ハイウェイ (a) 上の伝送速度を 2 Mbps とする。

又、基地局 10a における上述の D T X 140 以外の機能ブロックとしては、第 4 図に示すように集線局 4 との間で P C M ハイウェイ (a) を介して送り取りされるデータの受信処理及び送信処理を行う P C M ハイウェイ受信処理回路 16a、P C M ハイウェイ送信処理回路 16b と、

P C M ハイウェイ受信処理回路 16a、P C M ハイウェイ送信処理回路 16b の処理タイミングを発生する P C M ハイウェイタイミグ生成回路 17 と、

P C M ハイウェイ受信処理回路 16a で受信処理

したデータから 2 Mbps 及び 704Kbps のクロックを再生するクロック再生回路 18 と、

データの伝送速度を 2 Mbps と 704Kbps 間を相互に変換する速度変換回路 19a と、

速度変換回路 19a の変換処理を制御するメイン MPU 19b と、

D T X 140、U R X 15 と速度変換回路 19a との一連の処理を制御するサブ MPU 19c と、

速度変換回路 19a で 704Kbps へ変換する時のタイミグを生成する 704K タイミグ生成回路 19d と、第 8 図で説明したのと同じの U R X 15 とを具備している。

サブ MPU 19c は D T X 140 をアクセスして間欠起動/解除比率設定回路 151a へ、間欠処理のためのオン/オフ比率、繰り返し周期及び間欠起動/解除情報を設定すると共に、これらを基に間欠制御に関するデータを数ビットでパターン化してセットする。

そして、T S O 制御データ回路 152a、タイミグ生成回路 154a と共に間欠起動/解除比率設定回

- 1 9 -

- 2 0 -

路 151a も起動をかける。尚、この以降からは基地局 10a からのフレーム同期信号 (c) の送出が停止される。

間欠起動/解除比率設定回路 151a はタイミグ生成回路 154a からのタイミグにより T S O 制御データ回路 152a にて設定した間欠制御パターンビットを制御タイムスロット T S O に挿入し、ブリアンブルパルス (b)、フレーム同期信号 (c) 及びタイムスロット T S O 以外のタイムスロット T S i データとを MUX 144 で多重化する。

この多重化データはタイミグ生成回路 154a からのタイミグによりスクランブル処理をされると共に、パリティビットを付加して下り送信データとして、第 9 図に示すフォーマットにて送信される。

中継局 2 (i) 又は端局 3 (i) では、この下り送信データを TRX 21、DRX 22 を介して受信処理し、制御タイムスロット T S O を分離し、制御タイムスロット分離/送出回路 281a へ格納する。

中継局 2 (i) 又は端局 3 (i) 内 MPU 283a は、制御タ

イムスロット分離/送出回路 281a へ格納された制御タイムスロット T S O 内間欠制御パターンビットを読み出し、間欠処理回路 282a へセットすると共に加入者の発着呼を I N F T 2 7 を介して停止する。

一方、間欠処理回路 282a は間欠制御パターンビットをセットした時点で間欠処理を実行する間欠処理モードに移行され、これにより内部データ処理関連の電源をオフにすると共に、クロックの供給を停止させる。

次に、基地局 10a が間欠処理モードから復帰する場合、フレーム同期信号 (c) 等を中継局 2 (i) 又は端局 3 (i) が受信することで復帰し正常な運用状態に戻る。

以上のように、基地局 10a で間欠制御のための情報を集中して生成・管理し、各中継局 2 (i) 又は端局 3 (i) ではこの間欠制御のためのパターンビットを受信した時点で間欠処理モードに移行するように構成しているため、各中継局 2 (i) 又は端局 3 (i) における回路構成がより簡易化される。

- 2 1 -

- 2 2 -

(発明の効果)

以上のような本発明によれば、より簡易化された回路を有する中継局又は端局を提供することが出来る。

4. 図面の簡単な説明

第1図は本発明の原理を説明するブロック図、
第2図は本発明の実施例を説明するブロック図、
第3図は本発明における中継局／端局の実施例を説明するブロック図、
第4図は本発明における基地局の構成概要を説明するブロック図、
第5図は基地局の従来例を説明するブロック図、
第6図は間欠処理を行うブロックの従来例を説明する図、
第7図は多段中継システムの構成概要を説明する図、
第8図は基地局／中継局の構成概要を説明する図、
第9図は無線区間のデータのフレームフォーマット

トを説明する図、

をそれぞれ示す。

図において、

1, 10, 10aは基地局、
2(i), 2(j), 20(i) は中継局、
3(i), 30(i)は端局、 4は集線局、
5は交換機、
11, 283a はMPU、 12, 25 はCONT、
13, 21 はTRX、 14, 140はDTX、
15はURX、
16a はPCM ハイウェイ受信処理回路、
16b はPCM ハイウェイ送信処理回路、
17はPCM ハイウェイタイミグ生成回路、
18はクロック再生回路、 19aは速度変換回路、
19b はメインMPU、 19cはサブMPU、
19d は704Kタイミグ生成回路、
22はDRX、 23はUTX、
24はDL CONT、 26はB.SAVE/INF、
27はINTF、
141, 152aはTSO 制御データ回路、

- 23 -

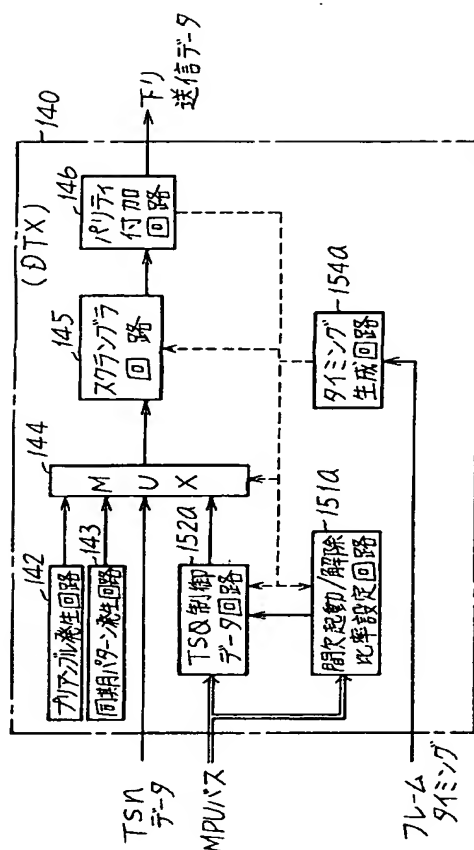
- 24 -

142 はプリアンブル発生回路、
143 は同期パターン発生回路、
144 はMUX、 145はスクランブラ回路、
146 はバリティ付加回路、
151 は間欠処理情報設定手段、
151aは間欠起動／解除比率設定回路、
152 は制御タイムスロットデータ挿入手段、
153 は多重化手段、
154 はタイミグ生成手段、
154aはタイミグ生成回路、
261 は起動／解除パターン検出回路、
262 はオン／オフ比・繰り返し周期ラッチ回路、
263 は間欠制御信号生成回路、
264 は制御信号生成回路、
281 は間欠処理制御情報格納手段、
281aは制御タイムスロット分離／送出回路、
282 は間欠処理手段、
282aは間欠処理回路、
をそれぞれ示す。

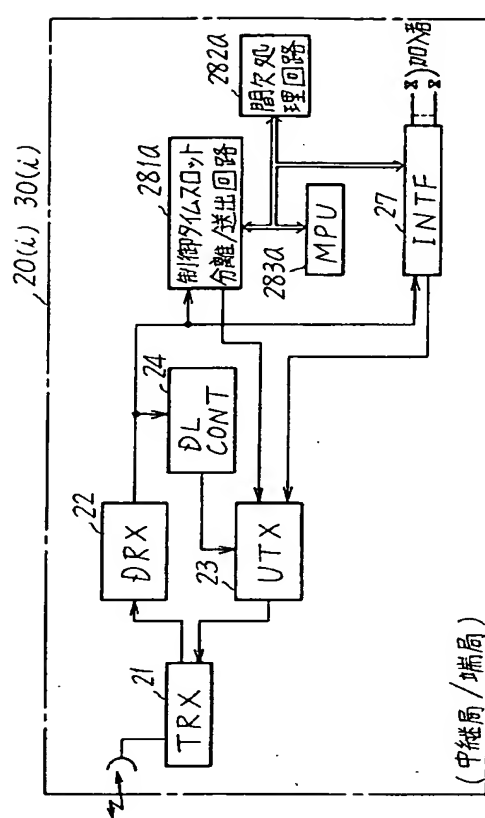
代理人 弁理士 井桁貞一



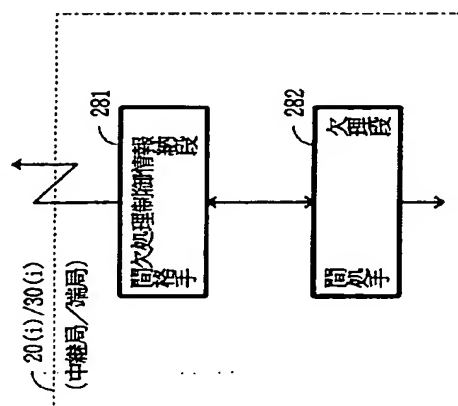
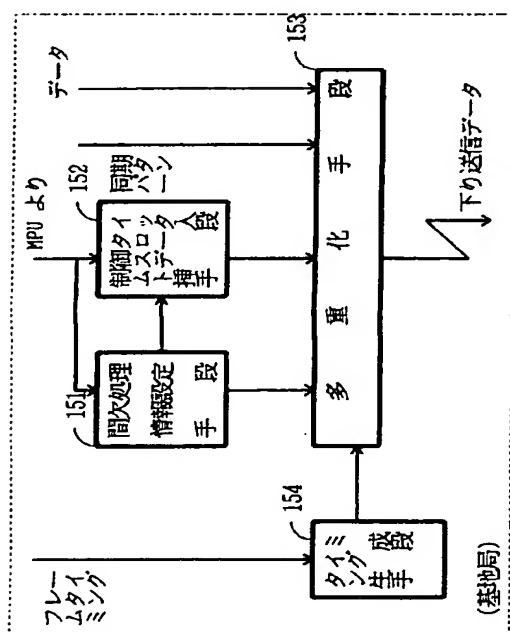
- 25 -



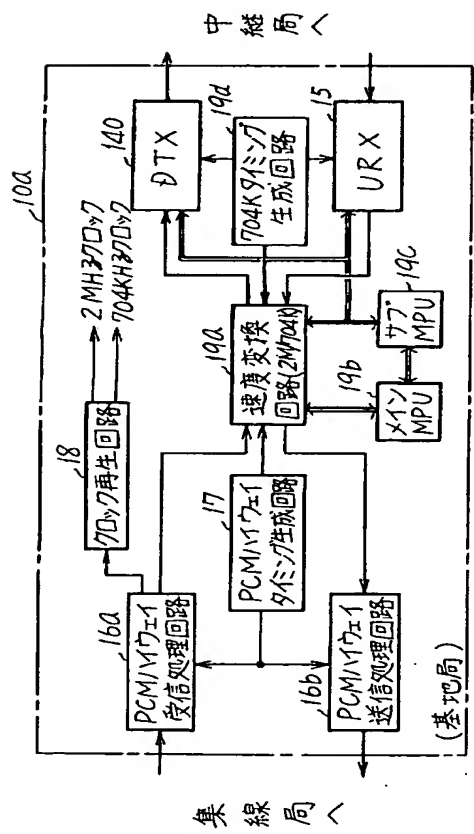
本発明の実施例を説明するブロック図



本発明における中継局/端局の実施例を説明するブロック図

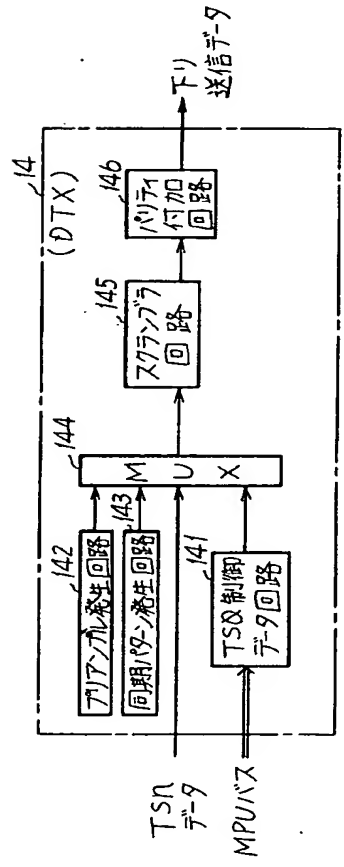


本発明の原理を説明するブロック図



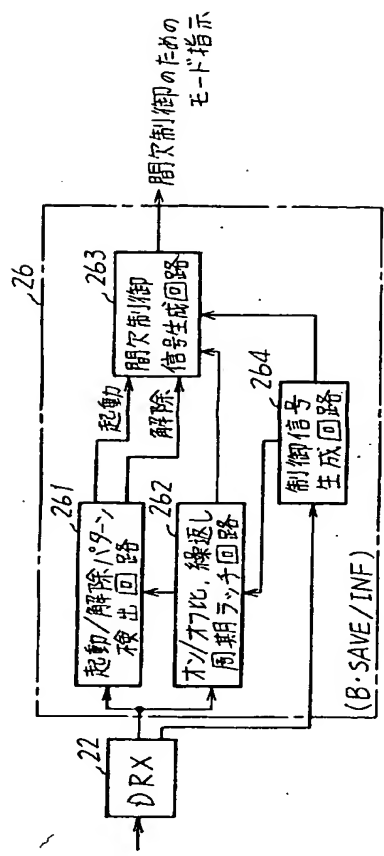
本発明における基地局の構成概要を説明するブロック図

第4図



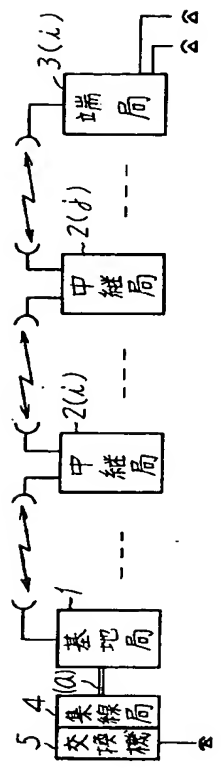
基地局の従来例を説明するブロック図

第5図



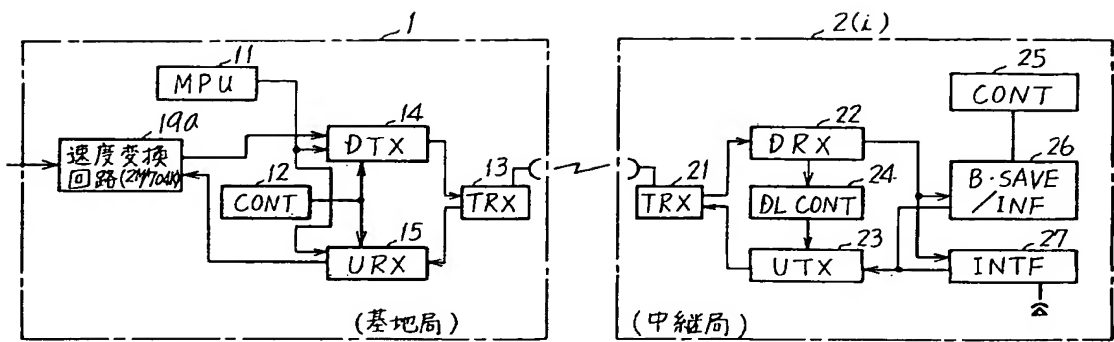
閉ル処理を行うブロックの従来例を説明する図

第6図

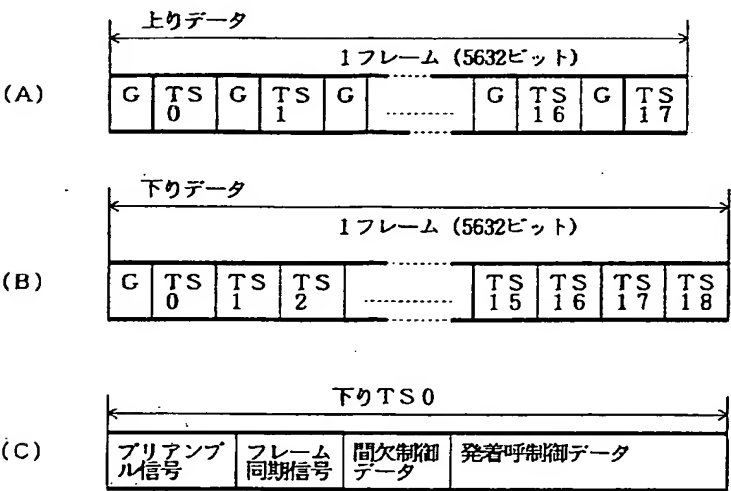


多段中継システムの構成概要を説明する図

第7図



基地局/中継局の構成概要を説明する図
第 8 図



無線区間のデータのフレームフォーマットを説明する図
第 9 図